

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-135781

(43)Date of publication of application : 24.05.1990

(51)Int.Cl.

H01L 29/784

(21)Application number : 63-288839

(71)Applicant : NISSAN MOTOR CO LTD

(22)Date of filing : 17.11.1988

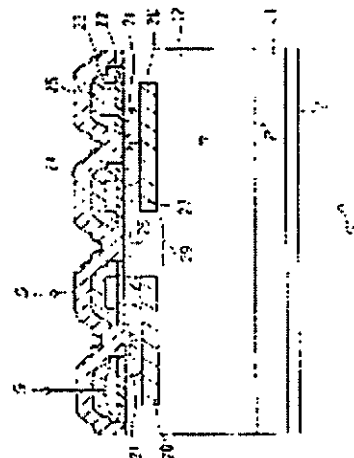
(72)Inventor : MIHARA TERUYOSHI

(54) INSULATED-GATE TYPE VERTICAL SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To prevent the formation of a parasitic thyristor by isolating a channel from a drain by a buried insulating layer, and further controlling a Schottky junction provided to be isolated from a N+ type source region or a depleted layer extended from a P+-N junction to the channel by an insulated gate provided on the channel.

CONSTITUTION: A drain electrode 11' is provided on the rear face of an n-type region 12 of a semiconductor base through a p+ type region 11, a buried insulating layer 20 having a predetermined opening 29 is buried in a predetermined depth in the region 12, and a channel region 27 is isolated from the region 12 in a depthwise direction. A gate insulating film 22 and a gate electrode 23 are formed on the region 27. A source electrode 24 and the region 12 form a Schottky junction 26 in the part opposed to the opening 29 of the layer 20. Thus, since the junction 26 is controlled by the insulated-gate electrode 23 provided on the channel, the formation of a parasitic thyristor can be prevented.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-135781

⑬ Int. Cl.⁹

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)5月24日

H 01 L 29/784

8422-5F
8422-5F

H 01 L 29/78

3 2 1 J
X

審査請求 未請求 請求項の数 1 (全7頁)

⑮ 発明の名称 絶縁ゲート形縦形半導体装置

⑯ 特 願 昭63-288839

⑰ 出 願 昭63(1988)11月17日

⑱ 発 明 者 三 原 輝 儀 神奈川県横浜市神奈川区宝町2番地 日産自動車株式会社
内

⑲ 出 願 人 日産自動車株式会社 神奈川県横浜市神奈川区宝町2番地

⑳ 代 理 人 弁理士 中村 純之助

9月 永田 稔

1. 発明の名称

絶縁ゲート形縦形半導体装置

2. 特許請求の範囲

第1導電形の半導体基体と、

該半導体基体の表面から所定深さの位置に形成され所定の開口部を有する埋込絶縁層と、

上記半導体基体の上記開口部にほぼ対向する部分の表面上に金属電極を設けることによって形成されたショットキー接合若しくは上記半導体基体の表面部分に第2導電形層を設けることによって形成された接合と、

上記埋込絶縁層で分離された上記半導体基体の表面部分に設けられたチャネル領域の上に絶縁膜を介して設けられたゲートと、

上記チャネル領域に電気接続するための第1導電形の高濃度領域とを備え、

上記半導体基体と上記金属電極若しくは第2導電形層との間に出来る電位障壁を上記ゲートに印

加する電圧で制御することにより、ソースとなる上記第1導電形の高濃度領域とドレインとなる上記半導体基体間でキャリアの注入・遮断制御を行うことを特徴とする絶縁ゲート形縦形半導体装置。

3. 発明の詳細な説明

(発明の利用分野)

この発明は、絶縁ゲート形縦形半導体装置に関する。

(従来技術)

従来のこの種のデバイスとしては、例えば第10図(a)、(b)に示すようなものがある(例えば特公昭62-21276号公報に記載)。

これは静電誘導サイリスタと呼ばれる縦形半導体装置の例であり、第10図(a)に示すごとく、p領域15とゲート絶縁膜16とに挟まれた狭いn領域をチャネル17とし、ここの電位をゲート電極14でコントロールすることにより、p⁺アノード領域11とn⁺カソード領域13との間の開閉を行なうことができる。

p領域15は、別の断面である第10図(b)に示

すごとく、カソード電極13'に接続されており、 n^- 領域12とは逆バイアスで分離されている。

このデバイスにおいては、ゲート電圧 V_g が $V_g < 0$ の状態では、チャネル17の電子に対するポテンシャルが上昇しているため、 n^+ カソード領域13の電子はチャネル17を抜けることが出来ない。すなわちこの状態がオフである。逆に $V_g > 0$ にバイアスすると、チャネルのポテンシャルが下がり、 n^+ カソード領域13から n^- 領域12へ電子が注入される。そしてアノード領域11からもホールが注入されるので、 n^- 領域12はこれら多量のホールと電子によって電導度変動で抵抗が下がり、結果としてカソードとアノード間の抵抗は非常に低くなる。すなわちこの状態がオンである。

上述のデバイスは、その構造からも分かるように、半導体基板の縦方向に電流を流せるので、スイッチングできる電流容量、電圧が大きく、電力用として優れている。

〔発明が解決しようとする課題〕

しかしながら、上記のごとき従来の縦形半導体

装置においては、チャネル17の分離に $p-n$ 接合を使用しているため、寄生バイポーラトランジスタが出来てしまい、そのため性能に制約が生じるという問題があった。

すなわち、前記の従来例では、第10図(b)に示すように、11-12-15-13からなる寄生サイリスタが形成される。そして p 領域15はカソード電極13'にシャントされるとは言うものの、ピンチ抵抗 R_a が存在するので、オン電流が大きくなるとこの R_a を流れるホール電流が大きくなると、この寄生サイリスタがターンオンされ、オフ状態にすることが不可能になる。すなわち制御不能になってしまう、という問題があった。

この発明は、上記のごとき従来技術の問題を解決するためになされたものであり、前記のごとき縦形半導体装置の長所を活かし、かつ、寄生サイリスタがなくラッチアップすることのない絶縁ゲート形縦形半導体装置を提供することを目的とする。

〔課題を解決するための手段〕

上記の目的を達成するため、本発明においては、第1導電形の半導体基体と、該半導体基体の表面から所定深さの位置に形成され所定の開口部を有する埋込絶縁層と、上記半導体基体の上記開口部にほぼ対向する部分の表面上に金属電極を設けることによって形成されたショットキー接合若しくは上記半導体基体の表面部分に第2導電形層を設けることによって形成された接合と、上記埋込絶縁層で分離された上記半導体基体の表面部分に設けられたチャネル領域の上に絶縁膜を介して設けられたゲートと、上記チャネル領域に電気接続するための第1導電形の高濃度領域とを備え、上記半導体基体と上記金属電極若しくは第2導電形層との間に出来る電位障壁を上記ゲートに印加する電圧で制御することにより、ソースとなる上記第1導電形の高濃度領域とドレインとなる上記半導体基体間でキャリアの注入・遮断制御を行うように構成している。

すなわち、本発明においては、埋込絶縁層によってチャネルをドレインから分離し、さらに n^+

ソース領域から離間して設けたショットキー接合あるいは p^+n 接合からチャネルまで延びる空乏層(障壁)をチャネル上に設けた絶縁ゲートで制御するように構成したものである。

〔実施例〕

第1図(a)、(b)は、それぞれ本発明の一実施例の断面図である。

第1図において、半導体基体である n 領域12の真面には p^+ 領域11を介してドレイン電極11'が設けられる。この p^+ 領域11はスイッチング・スピードよりもオン抵抗を重視するとき、すなわち電導度変動を利用するときには設けるが、オン抵抗よりもスイッチング・スピードを重視するときは、 p^+ 領域11の代わりに n^+ 領域を設けてもよい。

また、 n 領域12中には所定の開口部29を有する埋込絶縁層20が所定の深さに埋め込まれ、チャネル領域27と n 領域12とを深さ方向で分離している。

また、チャネル領域27の上には、ゲート絶縁膜22とゲート電極23とが形成されている。

また、第1図(a)においては、埋込絶縁層20

の開口部29に対向する部分には、ソース電極24とn領域12とがショットキー接合26を形成している。なお、このショットキー接合26は、第1図(b)に示すごとく、浅いp⁺領域30とn領域12とで代用することもできる。すなわち、このように浅いp⁺領域30を設けた場合には、それと周囲のn領域12との間にp⁺n接合が出来る。

また、埋込絶縁層20のほぼ中央部の上にはn⁺ソース領域21が設けられ、ソース電極24と接続されている。

以上の構成において、埋込絶縁層20はSiO₂、Si₃N₄、Al₂O₃等で形成すれば良く、後記第9図に示すプロセスのようにイオン注入で形成することが出来る。また、その厚さはドレイン電圧によってチャネル電位が影響を受けないようにゲート絶縁膜22に比べて十分厚くした方がよい。またゲート絶縁膜22もSiO₂、Si₃N₄、Al₂O₃あるいはこれらの複合膜で形成することが出来る。

また、チャネルの厚み δ は、ゲート電圧V_gによって効果的に電位コントロール出来る厚さ、す

ように埋込絶縁層20がゲート電極23の外にはみ出す場合には、はみ出す長さ ΔX が $\Delta X \leq L_D$ となるように注意すべきである。

次に、第2～8図に基づいて第1図の装置の作用を説明する。

第2図はオフ状態における空乏層を示す断面図、第3図はオフ状態におけるバンド図(すなわち、チャネル27～ドレインDに至るA-A'部のポテンシャル図)、第4図はオン状態の空乏層を示す断面図、第5図はオン状態のバンド図(すなわちB-B'部におけるポテンシャル図)、第6図および第7図はチャネル近傍の寸法制限を説明するための主要部断面図、第8図はオン時のキャリアの流れを示す断面図を示している。

まず、第2、3図に示すごとく、V_g>0、V_o≤0では、ショットキー接合26の周囲に広く空乏層28が広がり、チャネル27は空乏層によって遮断されている。したがって第3図に示すように、ソース電子⊖はこの空乏層による障壁 ϕ_B のためにドレインD側へ流れ出すことができない。すなわ

ち、この装置のデバイ長L_Dと同じ程度の値にすることが望ましい。なお、デバイ長L_Dは

$$L_D = \sqrt{2 \epsilon_s \epsilon_0 k T / q n}$$

で表される。ただし、上式において、 ϵ_s : Siの比誘電率、 ϵ_0 : 真空の誘電率、k: ボルツマン定数、T: 温度、q: 電子の電荷、n: n領域不純物濃度である。

また埋込絶縁層20からショットキー接合26端までの距離W(Wは第6図に図示)は、ドレインソース電圧V_{ds}=0で、かつゲート電圧V_g=0のときに空乏層がピンチ出来る長さより短くしておけば、ノーマリーオフ形デバイスを得ることが出来る。その条件は

$$W \leq \sqrt{2 \epsilon_s \epsilon_0 \phi_B / q n}$$

である。ただし、上式において、 ϕ_B : ショットキーバリア障壁である。

また、埋込絶縁層20とゲート電極23とのオフセットについては、埋込絶縁層20がゲート電極23の内側に入る場合は問題ないが、後記第7図に示す

ちこの状態がオフである。

次に、V_g>0、正確には正の所定の閾値を超える電圧をゲート23に印加すると、ゲート直下のチャネルの空乏層が開けられ、第5図に示すように障壁が $\Delta \phi_B$ だけ下がるので、ソースSから空乏層28を経て中性のn領域12へ電子⊖が注入される。またドレインD側のp⁺n接合11-12間も順バイアスされ、p⁺領域11からn領域12へホール⊕が注入されるので、中性領域であるn領域12は電導度変調によって大幅に抵抗が下げられる。なお、p⁺領域11の代わりにn⁺領域を設けている場合には電子⊖だけが流れるので抵抗の変調はない。

上記のように、n領域12に注入されたホール⊕は、n領域12で電子⊖と再結合しながら空乏層28を経てショットキー接合26へ到達し、ソース電極24へ抜ける。すなわちこの状態がオンである。

上記のごとき電流のパスをキャリアの種類に応じて示したのが第8図である。

次に、オン状態からオフ状態にするには、V_g≤0とすればよい。するとチャネル27の電子

に対するポテンシャルが上昇して電子の注入が停止する。その後はn領域12中に残っているホールがショットキー接合26に流れ出るまで電流が流れる(ターンオフ期間)が、ホールが完全に抜け出た後はオフ状態となる。

以上の説明から判るように、本発明においては、埋込絶縁層20をチャネル27の分離に用いているので、従来のように寄生pnpnサイリスタができない。したがって全くラッチアップフリーである。

さらにドレインDに高電圧を加えても、ショットキー接合26からn領域12中へ伸びた空乏層によってソース領域21やゲート酸化膜22の電界は低く抑えられるため、高耐圧化が容易である。加えて縦形デバイスであることにより大電流を流すことが出来る。したがって電力用として従来装置以上に優れていることは容易に理解されよう。

次に、本発明の装置の製造方法を説明する。

第9図は本発明の代表的な製造方法を示す。

第9図において、まず、(a)では、p⁺領域11上にn領域12をエピタキシャル成長させたウェハ

を用意する。なお、nの不純物濃度と厚さは必要とされる耐圧に応じて選べば良い。

次に(b)では、n領域12の表面から所定の深さに埋込絶縁層20を形成する。これは公知のSiMOX技術によってO⁺イオンを打ち込むことにより、SiO₂層を形成することが出来る。また選択的に形成するためにはイオンビームによるマスク注入が便利である。

次に(c)では、所定温度(例えば1200℃以上の温度)でアニールし、表面層の結晶性を回復した後、ゲート酸化膜22を、例えば1000Åの厚さに成長させ、その後にゲート電極23を形成する。このゲート電極23はポリSiや高融点金属で形成する。

次に(d)では、ソースとなるn⁺領域21を拡散形成する。

次に(e)では、層間絶縁膜(例えばPSG)25をCVD法でデポジットし、所定位置に開口した後、ソース電極24およびドレイン電極11'となる金属電極をそれぞれ蒸着してパターニングすれ

ば、第1図に示した実施例の構造が得られる。

〔発明の効果〕

以上説明してきたように、この発明によれば、埋込絶縁層20によってチャネルをドレインから分離し、さらにn⁺ソース領域21から離間して設けたショットキー接合あるいはp⁺n接合からチャネルまで延びる空乏層(障壁)をチャネル上に設けた絶縁ゲートで制御するように構成したことにより、

- (1) 寄生サイリスタがなくラッチアップしない。
- (2) 高耐圧、大電流化が容易である。
- (3) 製造工程が短い。

という多くの優れた効果が得られる。

4. 図面の簡単な説明

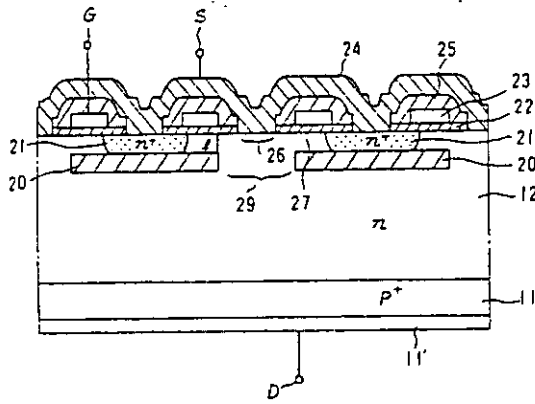
第1図は(a)、(b)はそれぞれ本発明の一実施例の断面図、第2図はオフ状態の空乏層を示す断面図、第3図はオフ状態のバンド図、第4図はオン状態の空乏層を示す断面図、第5図はオン状態のバンド図、第6図および第7図はチャネル近傍の寸法制限を説明するための主要部断面図、

第8図はオン時のキャリアの流れを示す断面図、第9図は製造工程の一実施例図、第10図は従来装置の一例の断面図である。

〈符号の説明〉

- 11…p⁺領域(またはn⁺領域)
- 12…n領域(ドレイン)
- 20…埋込絶縁層
- 21…n⁺領域(ソース)
- 22…ゲート絶縁膜
- 23…ゲート電極
- 24…ソース電極
- 25…層間絶縁膜
- 26…ショットキー接合
- 27…チャネル領域
- 28…空乏層
- 29…開口部
- 30…p⁺領域

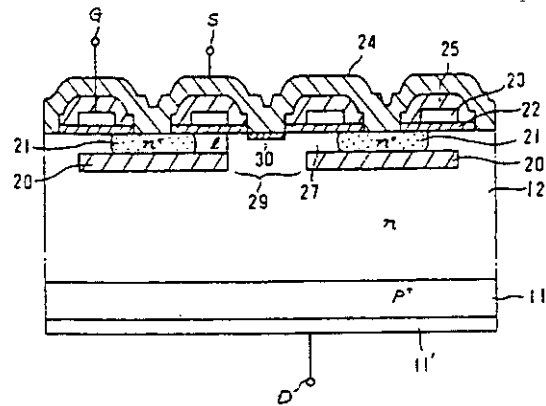
代理人弁理士 中村 純之助



- | | |
|--|--------------|
| 11: P ⁺ 領域(又はn ⁺ 領域) | 23: ゲート電極 |
| 11': フレイン電極 | 24: ソース電極 |
| 12: n ⁺ 領域(FLIN) | 25: 層間絶縁膜 |
| 20: 埋込絶縁層 | 26: ショットキー接合 |
| 21: n ⁺ 領域(V-S) | 27: チャネル領域 |
| 22: ゲート絶縁膜 | 29: 開口部 |

(a)

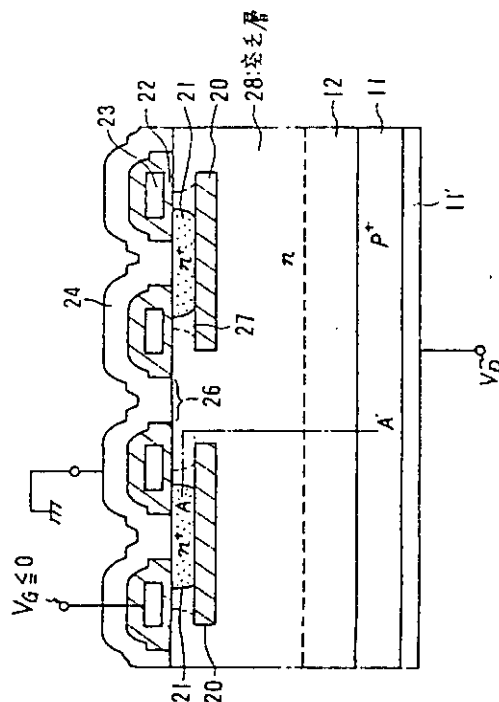
第 1 図



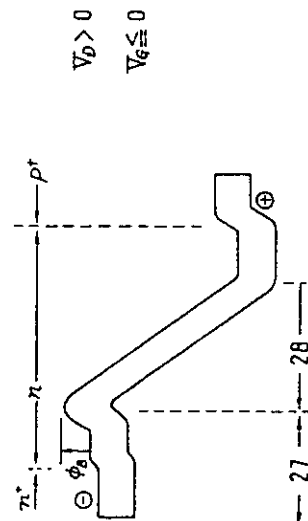
- | | |
|--|-----------------------|
| 11: P ⁺ 領域(又はn ⁺ 領域) | 23: ゲート電極 |
| 11': フレイン電極 | 24: ソース電極 |
| 12: n ⁺ 領域(FLIN) | 25: 層間絶縁膜 |
| 20: 埋込絶縁層 | 27: チャネル領域 |
| 21: n ⁺ 領域(V-S) | 29: 開口部 |
| 22: ゲート絶縁膜 | 30: P ⁺ 領域 |

(b)

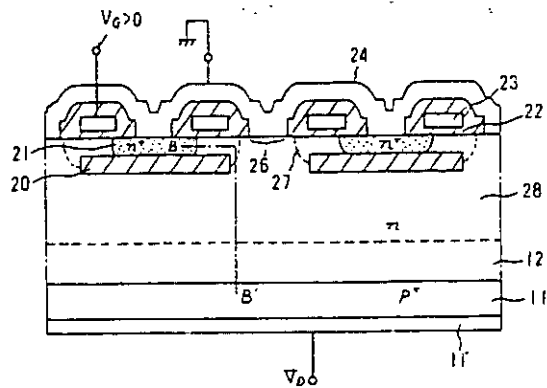
第 1 図



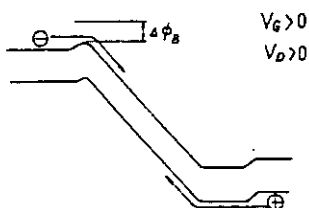
第 2 図



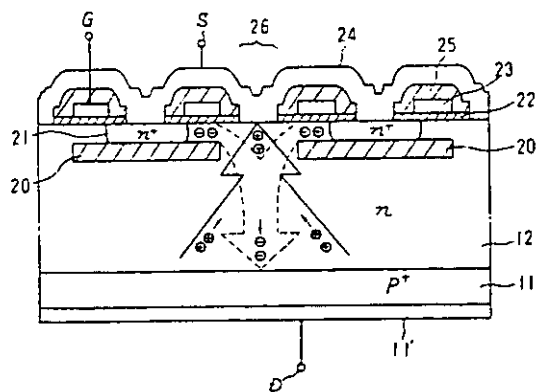
第 3 図



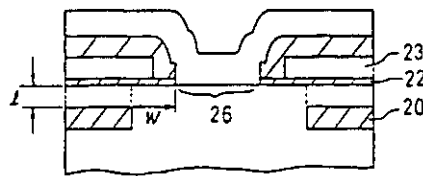
第 4 図



第 5 図

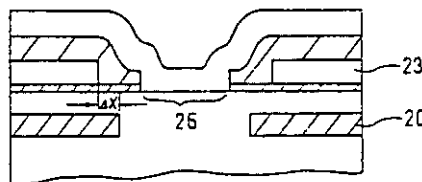


第 8 図



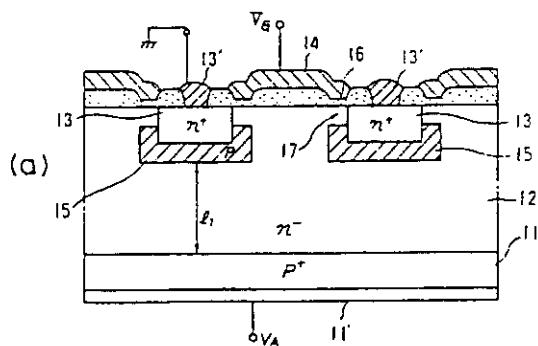
第 6 図

$$W \leq \sqrt{\frac{2 \epsilon_s \epsilon_0 \phi_B}{q N}}$$

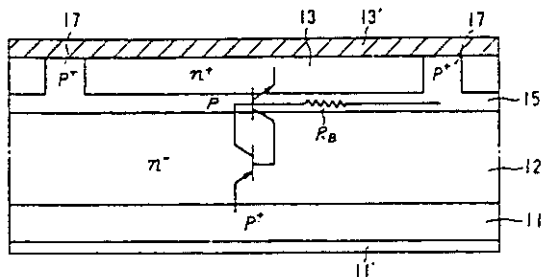


第 7 図

$$\Delta X \leq \sqrt{\frac{2 \epsilon_s \epsilon_0 \phi_B}{q N}}$$

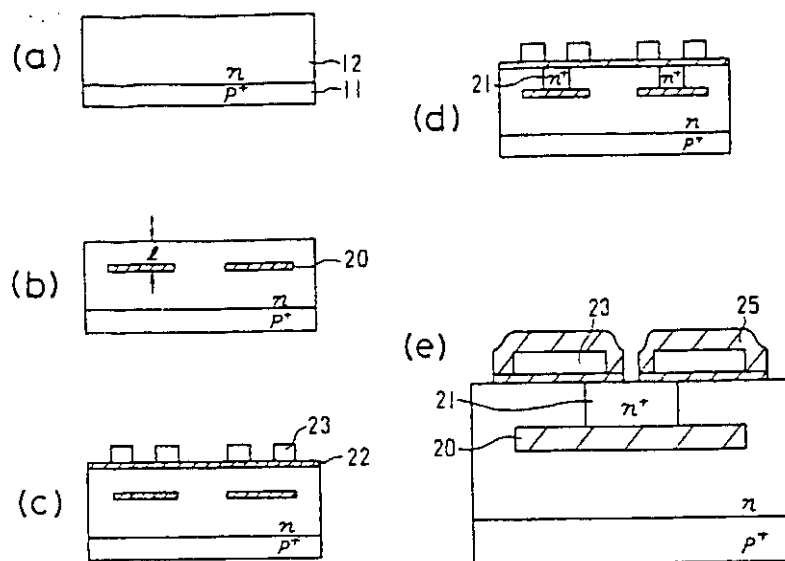


(b)



第 10 図

- | | |
|-----------------------------|------------------------|
| 11...P ⁺ フィールド領域 | 14...ドレイン電極 |
| 11'...フィールド電極 | 15...P ⁺ 領域 |
| 12...n ⁺ 領域 | 16...ドレイン絶縁膜 |
| 13...n ⁺ カソード領域 | 17...チャネル |
| 13'...カソード電極 | |



第 9 図